

# **CHƯƠNG 6: TRANSISTOR HIỆU ỨNG TRƯỜNG FET**

6.1 Giới thiệu

6.2 Lý thuyết hoạt động của JFET

6.3 Lý thuyết hoạt động của MOSFET

6.4 Giải tích đồ thị và phân cực

6.5 Giải tích tín hiệu lớn – Sự sai dạng

6.6 Giải tích tín hiệu nhỏ

6.7 Mở rộng

## 6.1 Giới thiệu

Transistor hiệu ứng trường (Field Effect Transistor – FET):

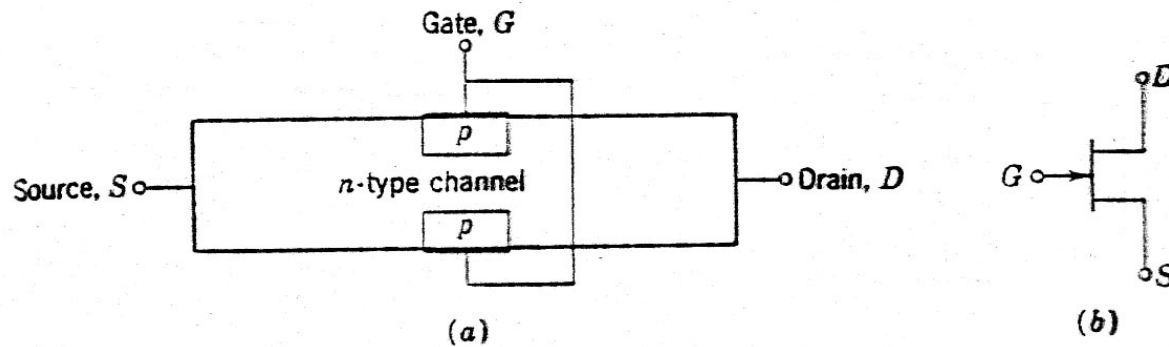
- ✓ JFET: Junction FET
- ✓ MOSFET: Metal-Oxid Semiconductor FET (Insulated-Gate – IGFET)

Tính chất (Phân biệt với BJT)

- ✓ Nhạy với điện áp (voltage-sensitive)
- ✓ Trở kháng vào rất cao

## 6.2 Lý thuyết hoạt động của JFET

### 6.2.1 Cấu tạo (n-channel JFET):



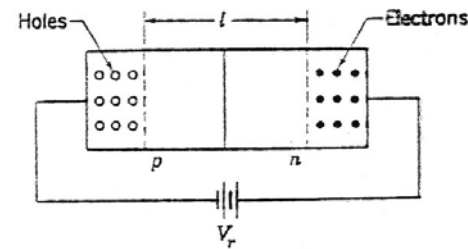
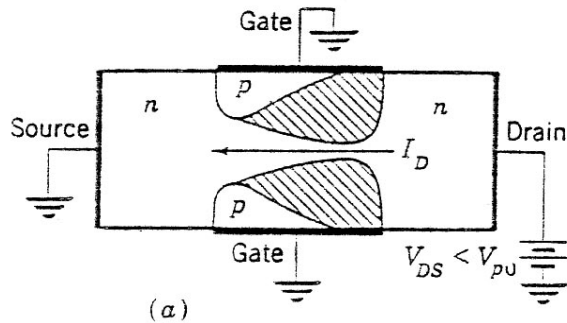
## 6.2.2 Hoạt động:

- Giả sử S và G nối đất;  $v_{DS} > 0$ :

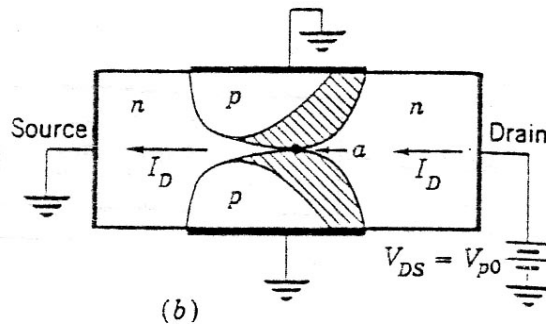
⇒ Dòng  $i_D$  : D → S: Phụ thuộc vào  $v_{DS}$  và Điện trở kênh n ( $R_{n\text{-Channel}}$ )

Dòng  $i_{\text{Channel-Gate}} \approx 0$ : Do Diode tạo bởi tiếp xúc pn Channel-Gate phân cực nghịch

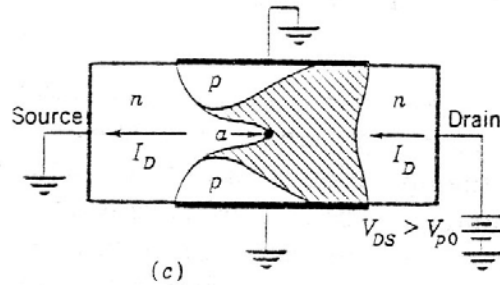
(a) Khi  $v_{DS}$  tăng: Vùng khuyết (depletion region – vùng gạch chéo) tăng →  $R_{n\text{-Channel}}$  tăng



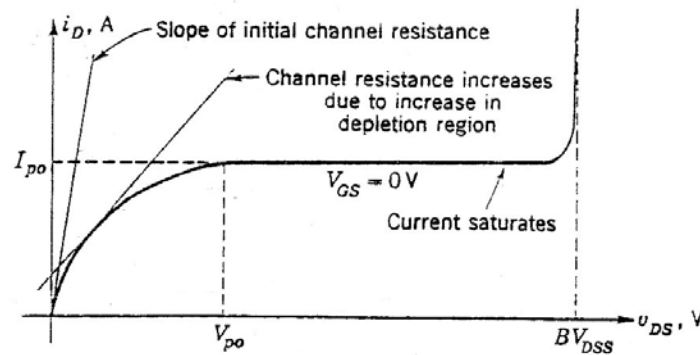
(b)  $v_{DS} = V_{po}$  (Điện áp nghẽn: pinch-off voltage): Hai vùng khuyết chạm nhau:  $i_D = I_{po}$



(c)  $v_{DS} > V_{po}$ :  $V_a = V_{po} = \text{const} \rightarrow i_D = I_{po} = \text{const}$



(d)  $v_{DS} = BV_{DSS}$ : Điện áp đánh thủng.  
 Đồ thị:

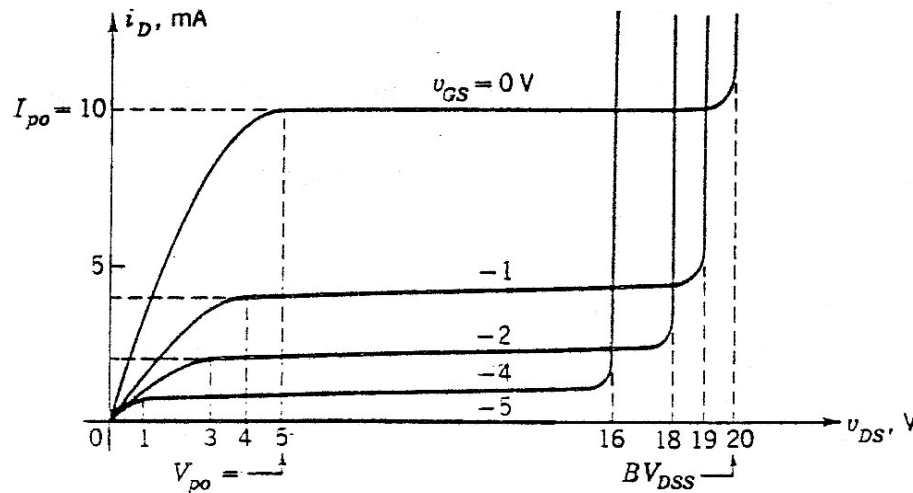


▪ Giả sử  $v_{DS} = \text{const}$ ;  $v_{GS}$  thay đổi:

- $v_{GS} < 0$ : Tăng vùng khuyết  $\rightarrow$
- i)  $R_{\text{Channel}}$  tăng  $\rightarrow i_D$  giảm
  - ii)  $V_{po}$  giảm
- $v_{GS} > 0$ : Giảm vùng khuyết  $\rightarrow$
- i)  $R_{\text{Channel}}$  giảm  $\rightarrow i_D$  tăng
  - ii)  $V_{po}$  tăng

⇒ “Voltage-Sensitive Device”

Đồ thị:



**Lưu ý:** n-JFET: Phân cực sao cho **không** có dòng  $I_{\text{Channel-Gate}}$  ( $v_{GS} \leq 0$  hoặc  $v_{GS}$  *nhỏ*  $> 0$ )

### 6.2.3 Đặc tuyến:

Điện áp  $v_{DS}$  tại điểm nghẽn:  $v_{DS\text{-Pinch Off}} = V_p = V_{po} + v_{GS}$

Điện áp đánh thủng:  $BV_{DSX} \approx BV_{DSS} + v_{GS}$

Đặc tuyến VA trong vùng *bão hòa* (Giữa điện áp nghẽn và đánh thủng:  $V_p < v_{DS} < BV_{DSX}$ )

$$i_D = I_{po} \left[ 1 + \frac{3v_{GS}}{V_{po}} + 2 \left( -\frac{v_{GS}}{V_{po}} \right)^{3/2} \right] \quad \text{với } v_{GS} < 0$$

Nhận xét:  $v_{GS} = 0$ :  $i_D = I_{po}$

$$V_{GS} = -V_{po}: i_D = 0$$

Trong vùng bão hòa:  $i_D$  không phụ thuộc  $v_{DS}$

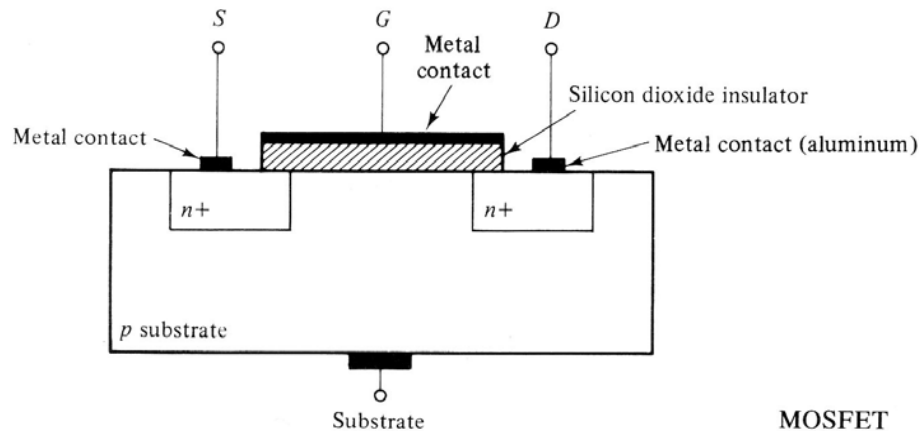
Ảnh hưởng nhiệt độ:

$$i_D = I'_{po} \left( \frac{T_0}{T} \right)^{3/2} \left[ 1 + \frac{3v_{GS}}{V_{po}} + 2 \left( -\frac{v_{GS}}{V_{po}} \right)^{3/2} \right]$$

trong đó:  $I'_{po} = i_D$  khi  $v_{GS} = 0$  tại nhiệt độ  $T_0$ .

## 6.3 Lý thuyết hoạt động của MOSFET

### 6.3.1 Cấu tạo (n-channel MOSFET):

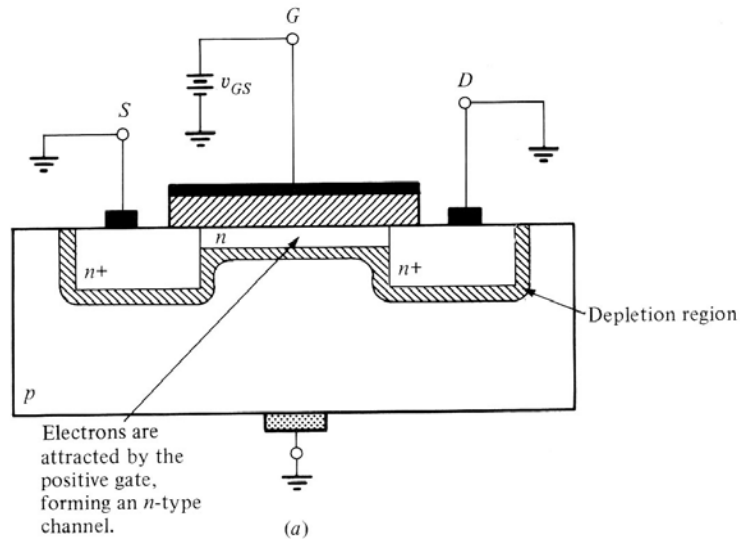


Nhận xét: Ban đầu chưa có kênh dẫn giữa D và S (*enhancement mode*)  
Cực cổng Gate: Metal – Oxide – Semiconductor (MOS)

### 6.3.2 Hoạt động:

Hoạt động loại tăng (enhancement mode):  $v_{GS} > 0$ :

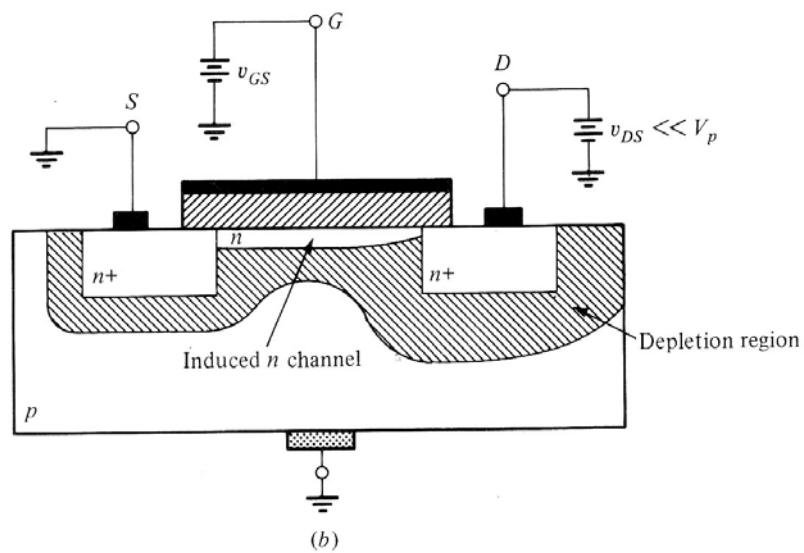
- Hình thành kênh dẫn cảm ứng:  $v_{GS} > V_{TN}$  : Điện áp ngưỡng  
⇒ Tạo kênh dẫn n cảm ứng giữa S và D



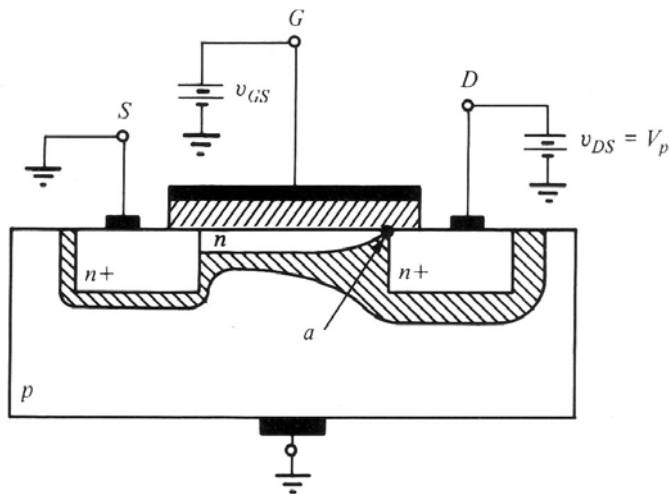
$v_{GS}$  tăng → Bề rộng và điện dẫn (conductivity) kênh dẫn tăng

- Thay đổi  $v_{DS}$ : Tương tự JFET:

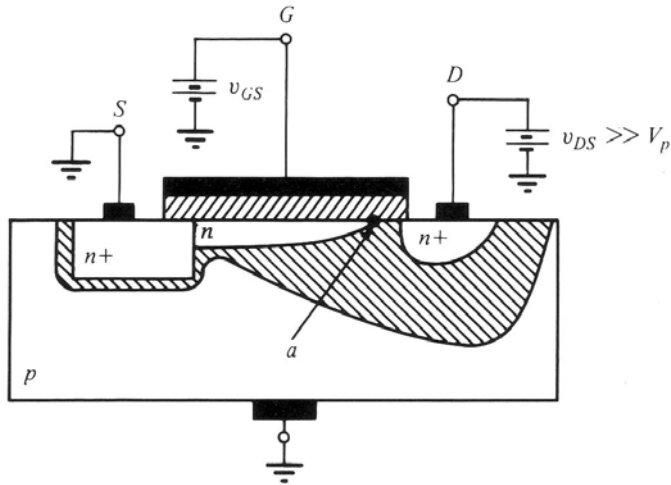
(a) Khi  $v_{DS}$  tăng → Tăng vùng khuyết →  $R_{n-Channel}$  tăng: Vùng tuyến tính



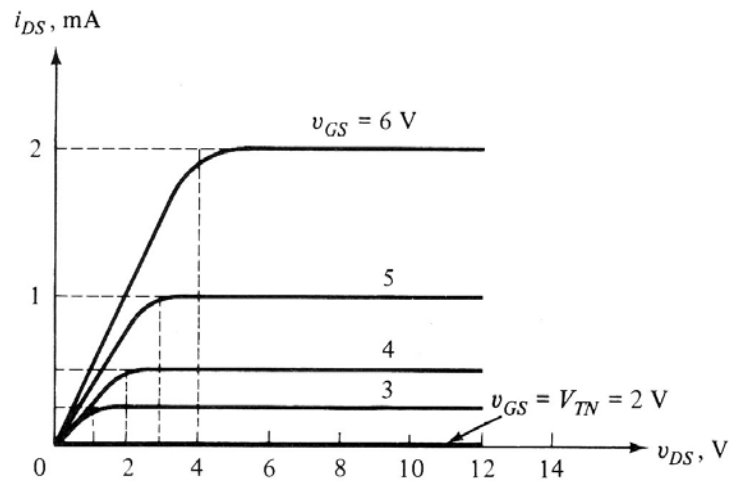
(b)  $v_{DS} = V_p = v_{GS} - V_{TN}$ : Điện áp ngưỡng:  $R_{n\text{-Channel}} \rightarrow \infty$  (100 K $\Omega$ )



(c)  $v_{DS} > V_p$ :  $i_D \approx \text{const}$ : Vùng bão hòa



Đồ thị:



**Lưu ý:** enhancement mode n-MOSFET: Phân cực  $v_{GS} \geq V_{TN}$

### 6.3.3 Đặc tuyến:

Điện áp  $v_{DS}$  tại điểm nghẽn:  $v_{DS - \text{Pinch Off}} = V_p = v_{GS} - V_{TN} = v_{GS} + V_{po}$  (Với  $V_{po} = -V_{TN} < 0$ )

Đặc tuyến VA trong vùng tuyến tính ( $v_{DS} < v_{GS} - V_{TN} = V_p$ ):

$$i_{DS} = k_n [2(v_{GS} - V_{TN}) - v_{DS}^2]$$

Đặc tuyến VA trong vùng bão hòa ( $v_{DS} \geq v_{GS} - V_{TN} = V_p$ ):

$$i_{DS} = k_n [v_{GS} - V_{TN}]^2 = I_{po} \left( 1 + \frac{v_{GS}}{V_{po}} \right)^2 \text{ với } I_{po} = k_n V_{TN}^2 \text{ và } V_{po} = -V_{TN}$$

Nhận xét: n-JFET:  $v_{GS} \leq 0$ ,  $V_{po} > 0$ ; Enhancement mode n-MOSFET:  $v_{GS} > 0$ ,  $V_{po} < 0$

Đặc tuyến VA: JFET: Bậc 3/2  $\approx$  MOSFET: Bậc 2

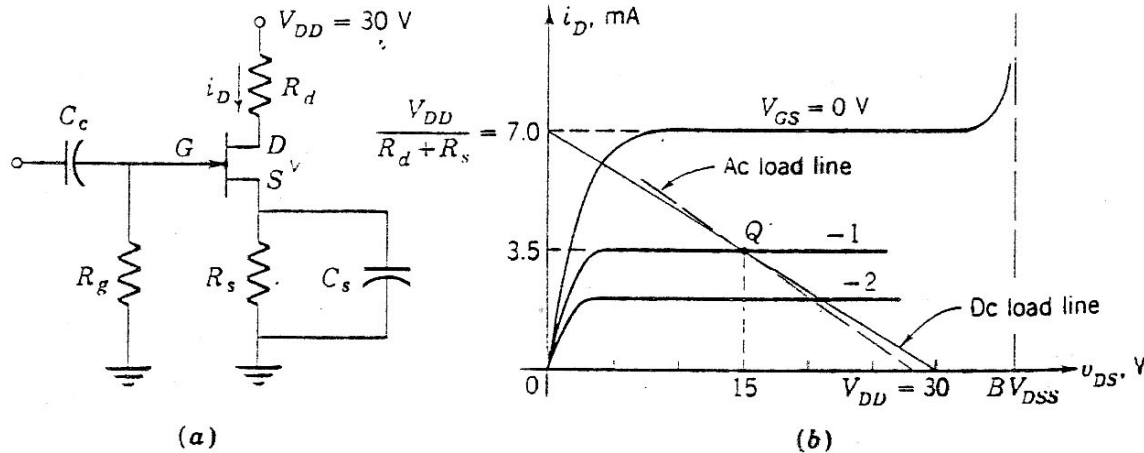
$$\Rightarrow \text{Xem gần đúng cho cả hai loại FET: } i_{DS} = k_n [v_{GS} - V_{TN}]^2 = I_{po} \left( 1 + \frac{v_{GS}}{V_{po}} \right)^2$$

Ảnh hưởng nhiệt độ:

$$I_{po} = I'_{po} \left( \frac{T_o}{T} \right)^{3/2}$$

## 6.4 Giải tích đồ thị và phân cực

### 6.4.1 Phân cực JFET:



✓ DCLL:  $V_{DD} = v_{DS} + i_D (R_d + R_s)$

✓ Phương trình phân cực:  $v_{GS} = -i_D R_s$  (Xem  $i_G \approx 0$ )

Nhận xét: Mạch tự phân cực (self-bias): Do  $v_{GS} < 0$  tạo ra bởi  $R_s$

Ví dụ: Thiết kế mạch với tĩnh điểm Q:  $V_{DSQ} = 15\text{ V}$ ;  $I_{DQ} = 3,5\text{ mA}$

Thay vào DCLL:  $R_d + R_s = (V_{DD} - V_{DSQ}) / I_{DQ} = (30 - 15) / 3,5 = 4,3\text{ K}\Omega$

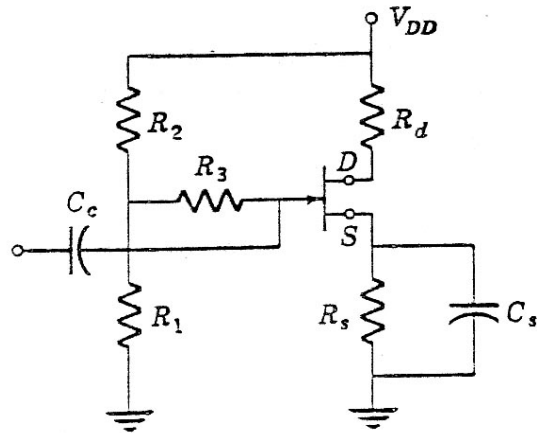
Từ đặc tuyến VA:  $V_{GSQ} = -1\text{ V} \Rightarrow R_s = -V_{DSQ} / I_{DQ} = 1\text{ V} / 3,5\text{ mA} = 286\ \Omega$

$\Rightarrow R_d \approx 4\text{ K}\Omega$

Chọn  $R_s = 270\ \Omega$  và  $R_d = 3,9\text{ K}\Omega$

### 6.4.2 Phân cực MOSFET:

Cổng phân cực thuận (forward-biased gate) sử dụng mạch phân cực ngoài (tương tự BJT):



(a)

✓ DCLL:  $V_{DD} = v_{DS} + i_D (R_d + R_s)$

✓ Phương trình phân cực:  $v_{GS} = \left( \frac{R_1}{R_1 + R_2} \right) V_{DD} - i_D R_s = V_{GG} - i_D R_s$

trong đó:  $V_{GG} = \left( \frac{R_1}{R_1 + R_2} \right) V_{DD}$ : Điện áp cung cấp cho cực cổng

Nhận xét:  $R_s$ : Cải thiện sự ổn định tĩnh điểm Q bằng dòng DC hồi tiếp.

$R_3$ : Không có tác dụng DC, dùng để tăng trở kháng ngõ vào AC.

Bài toán: Xác định mạch phân cực ( $V_{GG}$ ,  $R_s$ ,  $R_d$ ) để cực tiểu hóa sự thay đổi Q theo  $t^0$

Từ phương trình:  $i_D = I'_{po} \left( \frac{T_0}{T} \right)^{3/2} \left( 1 + \frac{V_{GS}}{V_{po}} \right)^2$

$$\Rightarrow \text{Độ nhạy: } S_T^{i_D} = \frac{di_D / i_D}{dT / T} = \frac{-3/2}{1 + 2I'_{po} (T_0 / T)^{3/2} \left( 1 + \frac{V_{GS} - R_S i_D}{V_{po}} \right) \frac{R_S}{V_{po}}}$$

Nhận xét:  $R_S \neq 0$  làm giảm độ nhạy  $i_D$  theo  $t^0 \rightarrow$  Cải thiện độ ổn định

Để cực tiểu  $S_T^{i_D}$ :

$$\Rightarrow \begin{cases} V_{GG} = 2V_{GSQ} + V_{po} \\ R_S = \frac{V_{GSQ} + V_{po}}{I_{DQ}} \end{cases}$$

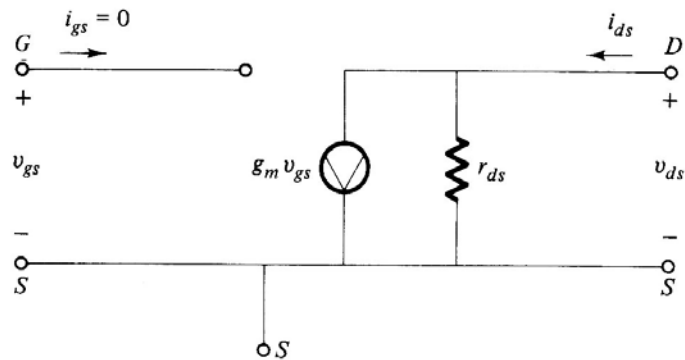
## 6.5 Giải tích tín hiệu lớn – Sự sai dạng

<Xem TLTK>

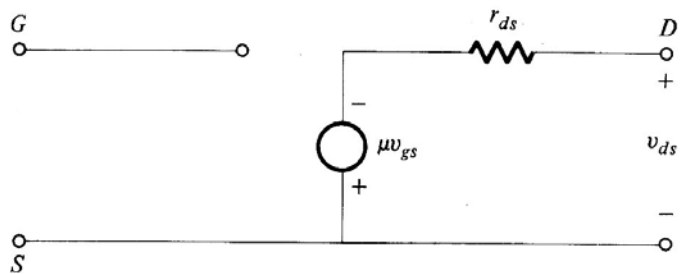
## 6.6 Giải tích tín hiệu nhỏ

### 6.6.1 Mạch tương đương tín hiệu nhỏ:

Mạch tương đương tín hiệu nhỏ (tần số dải giữa):



(a)



(b)

- Điện trở gate-source:

$$h_i = r_{gs} = \left. \frac{\partial v_{GS}}{\partial i_G} \right|_Q \rightarrow \infty: \text{Hở mạch}$$

- Hệ số khuếch đại áp ngược:  $h_r \approx 0$

- Độ xuyên dẫn (transconductance):

$$g_m = \left. \frac{\partial i_{DS}}{\partial v_{GS}} \right|_Q \text{ (S)}$$

$$\text{Từ công thức: } i_{DS} = k_n [v_{GS} - V_{TN}]^2 = I_{po} \left( 1 + \frac{v_{GS}}{V_{po}} \right)^2$$

$$\Rightarrow g_m = 2\sqrt{k_n I_{DSQ}}$$

- Điện trở drain-source:

$$r_{ds} = \left( \frac{\partial v_{DS}}{\partial i_{DS}} \right) \Big|_Q$$

Lý thuyết:  $r_{ds} \rightarrow \infty$

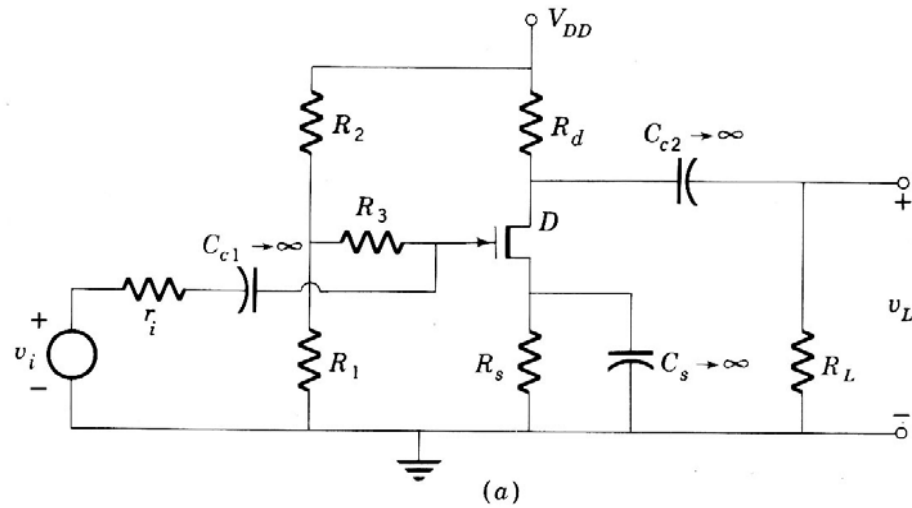
Thực tế:  $r_{ds} \approx 20 - 500 \text{ K}\Omega$ ;  $r_{ds} \sim 1/I_{DQ}$

- Hệ số khuếch đại:

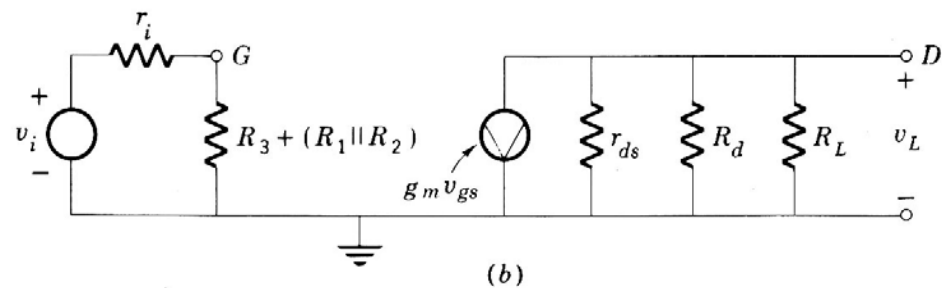
$$\mu = - \left. \frac{\partial v_{DS}}{\partial v_{GS}} \right|_Q = g_m r_{ds}$$

### 6.6.2 Mạch khuếch đại áp cực nguồn chung (CS):

Mạch CS:



Mạch tương đương tín hiệu nhỏ:

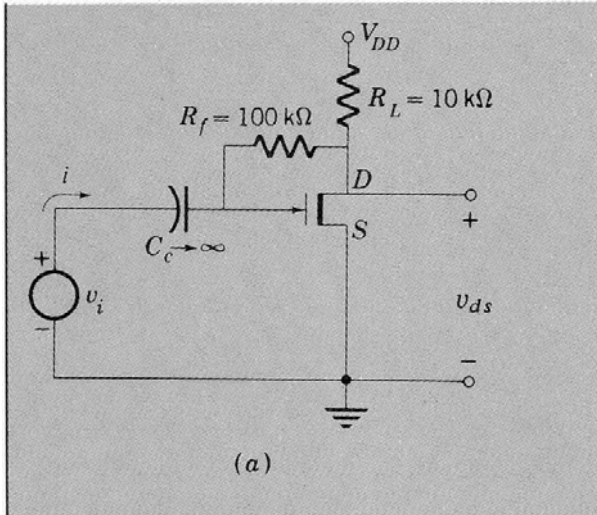


Trở kháng vào nhìn từ nguồn:  $Z_i = R_3 + (R_1 \parallel R_2)$

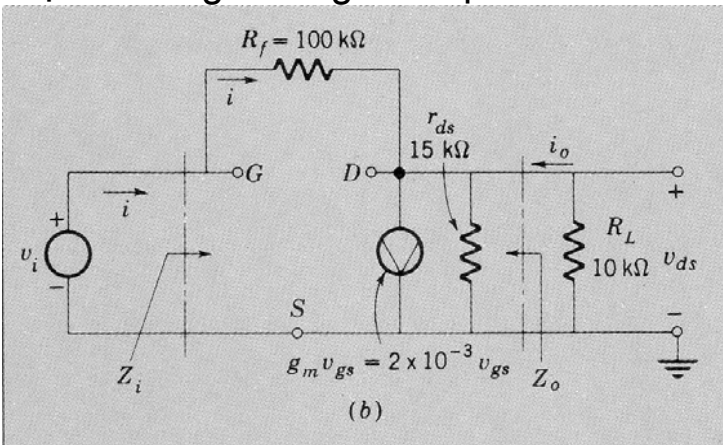
Trở kháng ra nhìn từ tải:  $Z_o = R_d \parallel r_{ds}$

Hệ số khuếch đại áp:  $A_v = \frac{v_L}{v_i} = -g_m (R_L \parallel Z_o) \frac{Z_i}{Z_i + r_i}$

Ví dụ: Xác định  $A_v$ ,  $Z_i$ ,  $Z_o$  của mạch KĐ dùng MOSFET sau:



Mạch tương đương tín hiệu nhỏ:



$$\text{Tại D: } i = \frac{v_{gs} - v_{ds}}{R_f} = g_m v_{gs} + \frac{v_{ds}}{r_{ds} // R_L}$$

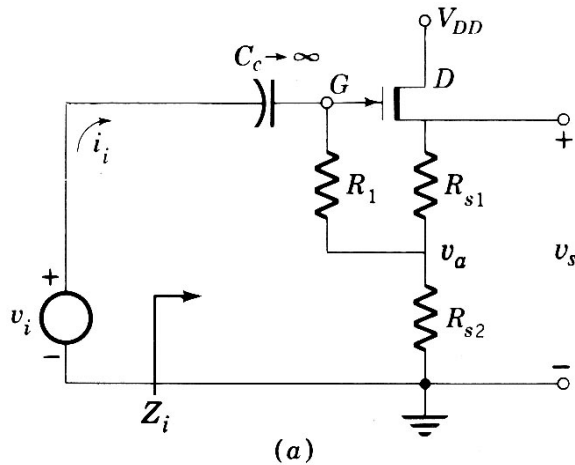
$$\text{Với } v_{gs} = v_i \Rightarrow A_v = \frac{v_{ds}}{v_i} = -(g_m - 1/R_f) \left( \frac{1}{r_{ds} // R_L} + \frac{1}{R_f} \right)^{-1} \approx -g_m (r_{ds} // R_L) = -12$$

$$Z_i = \frac{v_i}{i} = \frac{v_i}{(v_i - v_{ds})/R_f} = \frac{R_f}{1 - A_v} = 7,7 \text{ K}\Omega$$

$$Z_o = \left. \frac{v_{ds}}{i_o} \right|_{v_i=0} = R_f // r_{ds} = 13 \text{ K}\Omega$$

### 6.6.3 Mạch theo nguồn (Source follower – CD):

Mạch CD:

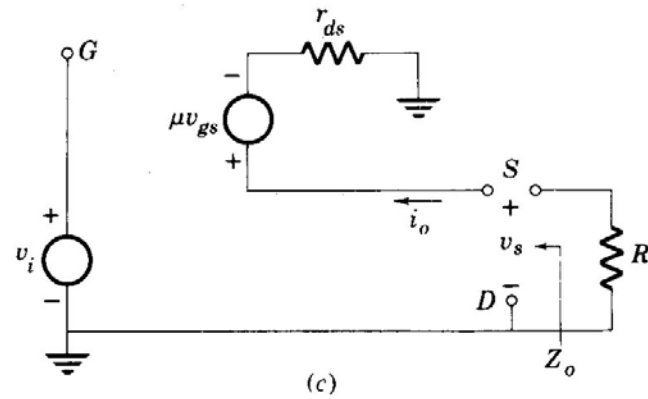
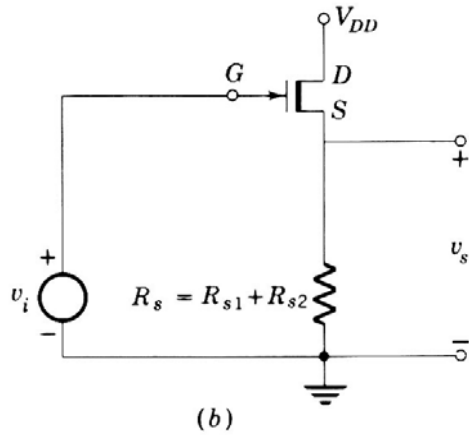


$$\text{DCLL: } V_{DD} = v_{DS} + i_{DS} (R_{s1} + R_{s2})$$

$$\text{Điện áp phân cực: } V_{GSQ} = -I_{DSQ} R_{s1}$$

$$\text{Thông thường, để Q nằm giữa DCLL: } v_{DS} \approx (V_{DD} / 2) \gg V_{GSQ} \Rightarrow R_{s1} \ll R_{s2}$$

Mạch tương đương tín hiệu nhỏ: (Giả sử bỏ qua  $R_1$  rất lớn)



- Trở kháng ngõ ra (nhìn từ  $R_s$ ):  $Z_o = \left. \frac{v_s}{i_o} \right|_{v_i=0}$

Ngõ ra:  $v_s = \mu v_{gs} + i_o r_{ds}$

Do  $v_i = 0 \rightarrow v_{gs} = -v_s$

$\Rightarrow v_s = -\mu v_s + i_o r_{ds}$

$\Rightarrow Z_o = \frac{r_{ds}}{\mu + 1} \approx \frac{1}{g_m}$  (Giả sử  $\mu \gg 1$ )

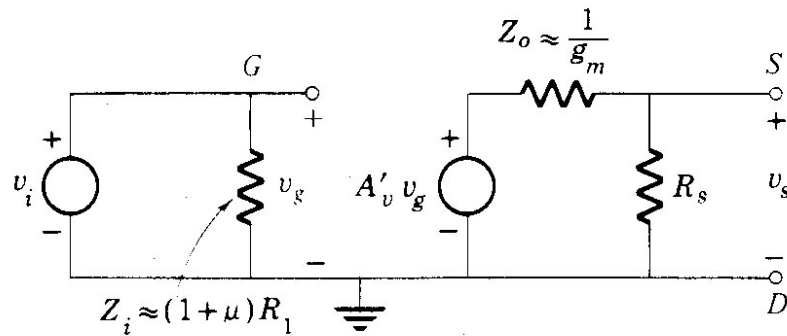
- Độ lợi áp hở mạch (không có  $R_s$ ):  $A_v' \Big|_{R_s \rightarrow \infty} = \frac{v_s}{v_g}$

Ngõ ra:  $v_s = \mu v_{gs} = \mu (v_g - v_s)$

$\Rightarrow A_v' = \frac{\mu}{\mu + 1} \approx 1$  (Giả sử  $\mu \gg 1$ )

- Trở kháng ngõ vào:  $Z_i = \frac{v_g}{i_i}$

Để xác định  $Z_i$ , sử dụng nguồn tương đương Thevenin ngõ ra:



$$\Rightarrow A_v = \frac{v_s}{v_i} = \frac{v_s}{v_g} = \frac{A'_v R_s}{1/g_m + R_s} = \frac{\mu}{\mu + 1} \times \frac{g_m R_s}{1 + g_m R_s}$$

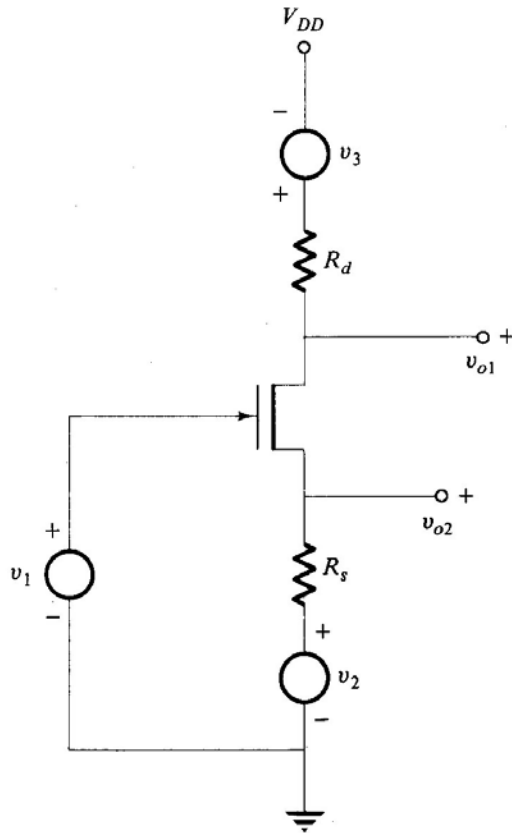
Với giả sử  $R_1 \gg R_{s2}$ :  $i_i R_1 = v_g - v_a \approx v_g - \frac{R_{s2}}{R_{s2} + R_{s1}} v_s = v_g - \frac{R_{s2}}{R_{s2} + R_{s1}} A_v v_g$

$$\Rightarrow Z_i = \frac{v_g}{i_i} \approx \frac{R_1}{1 - \frac{\mu}{\mu + 1} \times \frac{R_{s2}}{R_{s1} + R_{s2}}} \approx (\mu + 1) R_1 \text{ (Giả sử } R_{s2} \gg R_{s1})$$

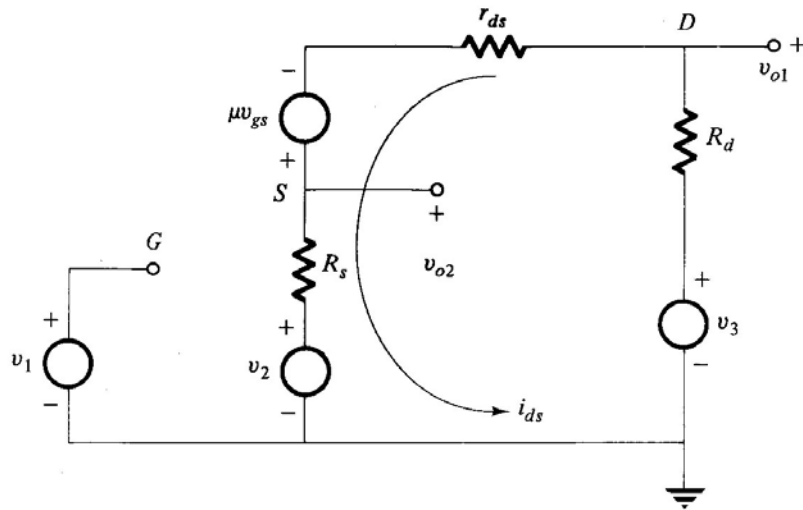
- Nhận xét: Giống như mạch Emitter Follower (BJT):  $Z_i$  lớn;  $Z_o$  nhỏ;  $A_v \approx 1$

#### 6.6.4 Phản ánh trở kháng:

- Xét mạch sau:



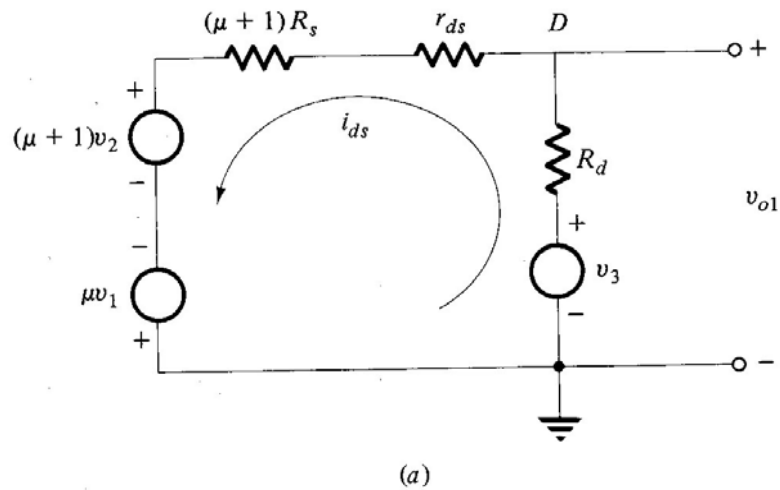
Mạch tương đương tín hiệu nhỏ:



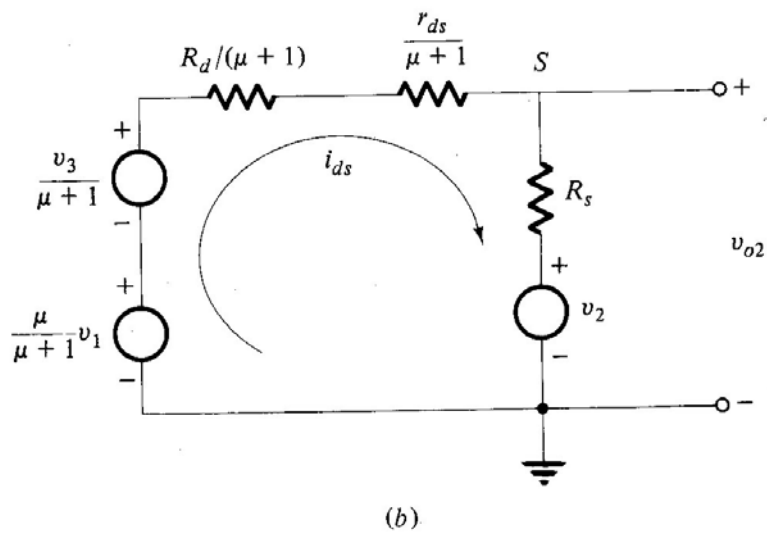
$$\Rightarrow i_{ds} = \frac{\mu v_{gs} + v_3 - v_2}{R_s + r_{ds} + R_d}$$

trong đó:  $v_{gs} = v_1 - v_2 - i_{ds} R_s$

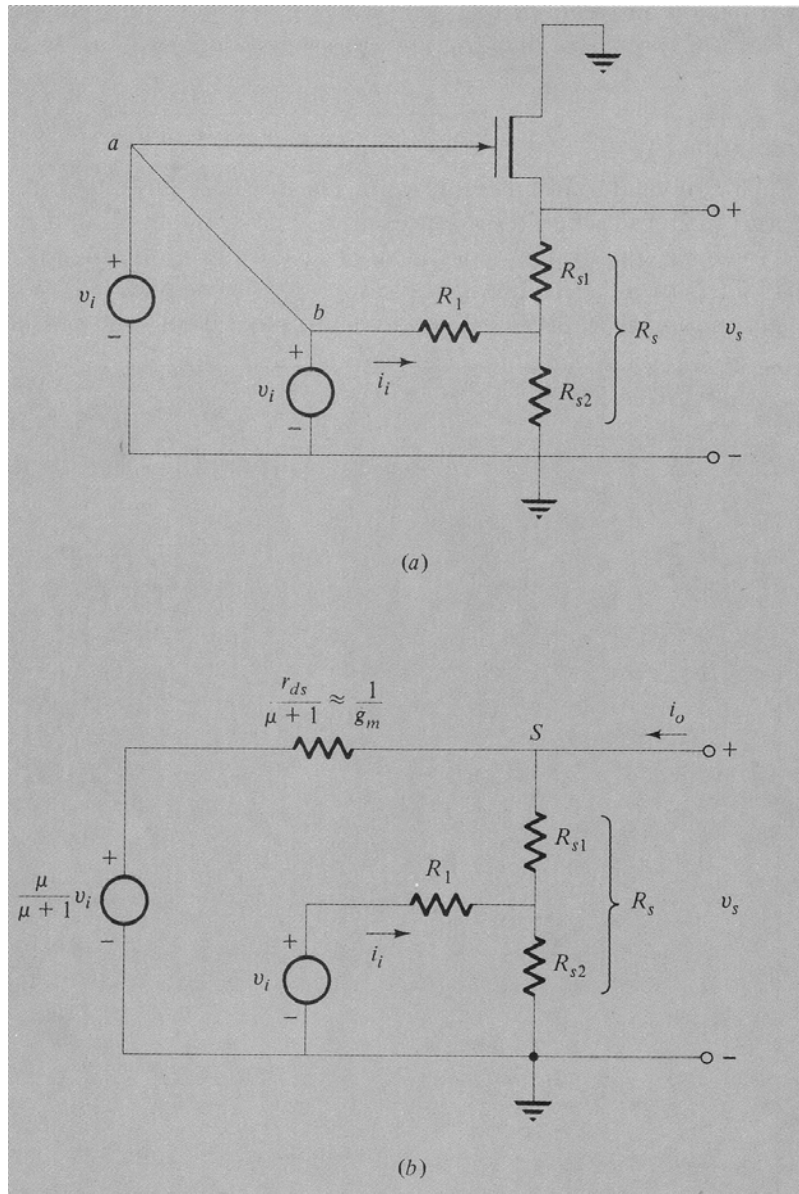
$$\Rightarrow i_{ds} = \frac{\mu v_1 + v_3 - (\mu + 1)v_2}{(\mu + 1)R_s + r_{ds} + R_d} \Rightarrow \text{Mạch tương đương khi phản ánh vào cực D:}$$



Viết lại:  $i_{ds} = \frac{\mu v_1 / (\mu + 1) + v_3 / (\mu + 1) - v_2}{R_s + r_{ds} / (\mu + 1) + R_d / (\mu + 1)} \Rightarrow$  Mạch tương đương khi phản ánh vào cực S:

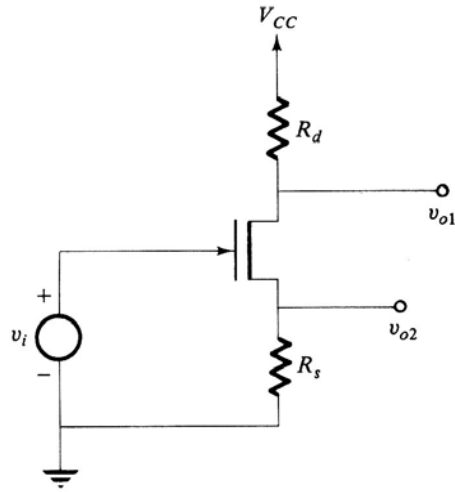


- Các bước thực hiện phản ánh trở kháng:
    - 1) Tương đương đoạn DS của FET bằng điện trở  $r_{ds}$  nối tiếp nguồn áp  $(\mu v_1)$  [cực dương ở S]. Xem đoạn mạch này gắn liền với phần mạch cực D
    - 2) Phản ánh vào D:
      - Giữ nguyên phần mạch cực D và đoạn tương đương DS
      - Phần mạch cực S  $\times (\mu + 1)$
    - 3) Phản ánh vào S:
      - Giữ nguyên phần mạch cực S
      - Phần mạch cực D và đoạn tương đương DS :  $(\mu + 1)$
  - Ví dụ: Phân tích lại mạch CD bằng cách phản ánh trở kháng vào phần mạch cực S
- Mạch tương đương:



Phân tích mạch: KVL, KCL

### 6.6.5 Mạch tách pha (phase-splitting circuit):



Tín hiệu nhỏ:  $i_{ds} = -\frac{v_{o1}}{R_d} = \frac{v_{o2}}{R_s} \Rightarrow v_{o2} = -\frac{R_s}{R_d} v_{o1}$

Nếu  $R_s = R_d \Rightarrow v_{o2} = -v_{o1}$  : Mạch tách pha

Để xác định  $A_{v1}$ ,  $A_{v2}$ ,  $Z_{o1}$ ,  $Z_{o2}$ : Sử dụng pp phản ánh trở kháng với  $v_2 = v_3 = 0$

$$\Rightarrow A_{v1} = \frac{v_{o1}}{v_i} = -\frac{\mu R_d}{(\mu + 1)R_s + r_{ds} + R_d}$$

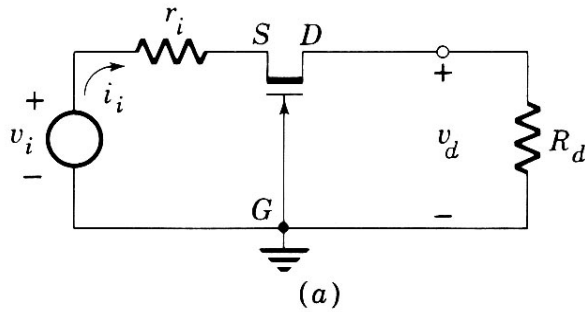
$$A_{v2} = \frac{v_{o2}}{v_i} = -\frac{\mu R_s}{(\mu + 1)R_s + r_{ds} + R_d}$$

$$Z_{o1} = R_d // [r_{ds} + (\mu + 1)R_s]$$

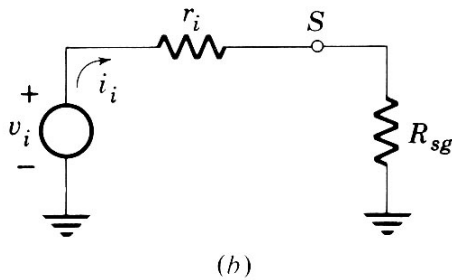
$$Z_{o2} = R_s // \left[ \frac{r_{ds}}{\mu + 1} + \frac{R_d}{\mu + 1} \right]$$

### 6.6.6 Mạch khuếch đại cực cổng chung (CG):

Mạch CG:

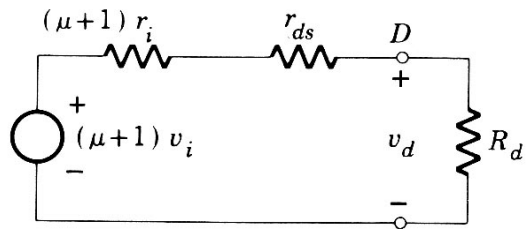


- Trở kháng ngõ vào:  
Phản ánh vào mạch cực S:



$$\Rightarrow Z_i = R_{sg} = \frac{r_{ds} + R_d}{\mu + 1}$$

- Trở kháng ngõ ra:  
Phản ánh vào mạch cực D:



(c)

$$\Rightarrow Z_o = r_{ds} + (\mu + 1)r_i$$

Hệ số khuếch đại:

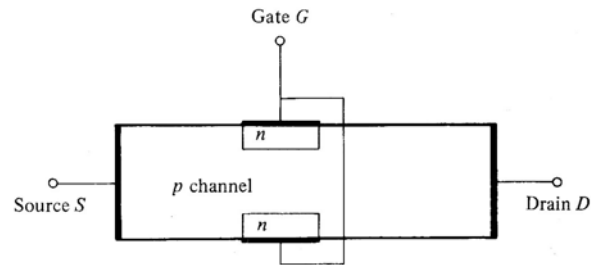
$$A_v = \frac{v_d}{v_i} = \frac{(\mu + 1)R_d}{R_d + r_{ds} + (\mu + 1)r_i}$$

## 6.7 Mở rộng

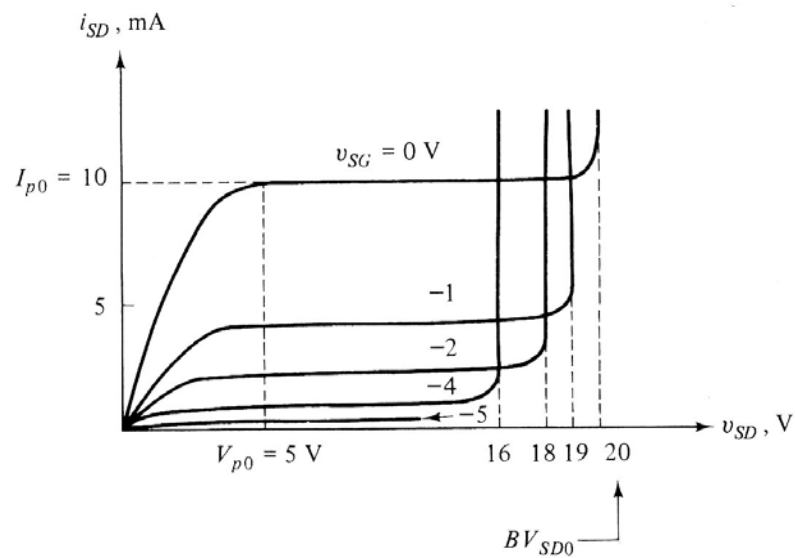
### 6.7.1 FET kênh p:

- p-channel JFET

Cấu tạo:

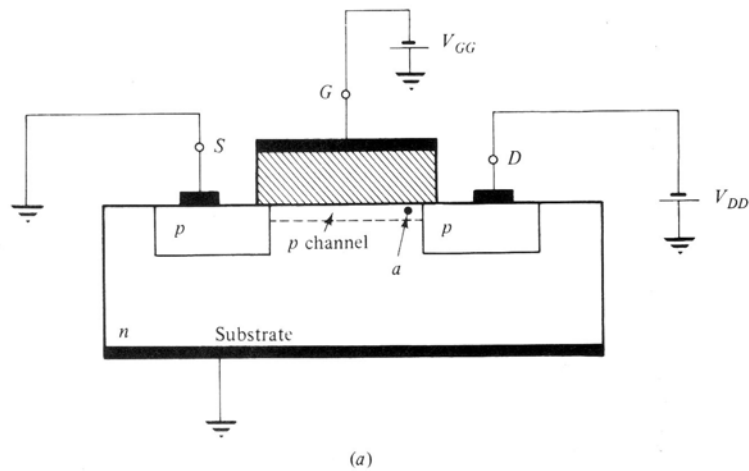


Đặc tuyến VA:

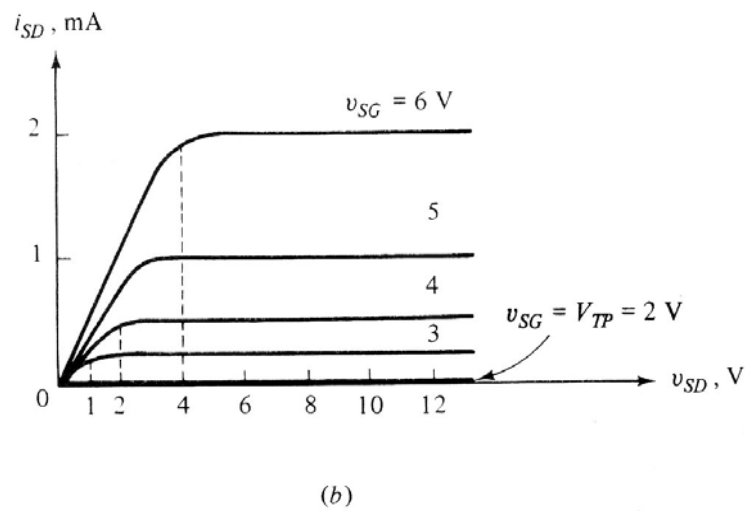


- p-channel MOSFET

Cấu tạo:



Đặc tuyến VA:



**Nhận xét:** p-channel FET ( $i_{SD}$ ,  $v_{SD}$ ,  $v_{SG}$ ) tương tự n-channel FET ( $i_{DS}$ ,  $v_{DS}$ ,  $v_{GS}$ )

### 6.7.2 Depletion-mode MOSFET:

- So sánh:

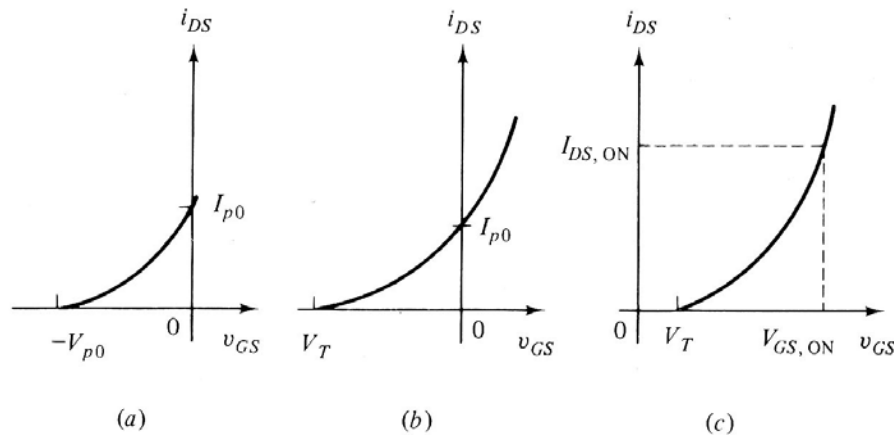
Khi  $v_{GS} = 0$ : Enhancement-mode: Không có kênh dẫn giữa D và S

Depletion-mode: Có kênh dẫn giữa D và S

⇒ Enhancement-mode:  $V_{TN} > 0$ : Điện áp ngưỡng hình thành kênh dẫn.

Depletion-mode:  $V_{TN} < 0$ : Điện áp ngưỡng tắt kênh dẫn.

- Đặc tuyến:



Transfer characteristics: (a) JFET; (b) depletion-mode  $n$ -channel MOSFET; (c) enhancement-mode  $n$ -channel MOSFET.